

引用格式:张楠,王艳,郭靖. 新型 CMOS 大数逻辑门电路的设计[J]. 微电子学与计算机, 2021, 38(2): 77-82. [ZHANG N, WANG Y, GUO J. Design of novel CMOS majority logic gate[J]. Microelectronics & Computer, 2021, 38(2): 77-82.]

新型 CMOS 大数逻辑门电路的设计

张楠,王艳,郭靖

(中北大学 电子测试技术国防重点实验室,山西 太原 030051)

摘 要: 一步大数逻辑可译码(One-Step Majority Logic Decodable, OS-MLD) 可用来促进存储器恢复单粒子翻转引起的软错误. 其中,大数逻辑门(Majority Logic Gate, MLG)在译码电路中起着非常重要的作用,然而目前已提出的 MLG 电路需要极大的硬件开销. 针对这一问题,本文提出一种新型 MLG 电路,该电路由 PMOS 管构成的上拉网络、NMOS 管构成的下拉网络以及一个反相器构成. 利用 Cadence 软件进行仿真验证可知,该电路不仅能够实现正常的大数逻辑功能,在功耗、延时、面积等性能指标方面也均优于现有的电路结构. 同时,将所设计的 MLG 应用到 OS-MLD 中,结果表明,所提出的 MLG 对于该编码应用是有效的.

关键词: 一步大数逻辑可译码;存储器;软错误;大数逻辑门

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2021)02-0077-06

Design of novel CMOS majority logic gate

ZHANG Nan, WANG Yan, GUO Jing

(National Key Laboratory of Electronic Testing Technology, North University of China, Taiyuan 030051, Shanxi, China)

Abstract: One-Step Majority Logic Decodable (OS-MLD) can be used to protect memory from soft errors caused by single-particle flips in where Majority Logic Gate (MLG) plays an important role in the decoders. However, the existing MLG circuits require more hardware overhead. This paper proposes a new type of MLG circuit which consists of a PMOS pull-up network, an NMOS pull-down network, and an inverter. Simulation verification with Cadence software shows that the proposed circuits not only correctly perform majority logic, but also feature lower overhead in terms of power consumption, delay, and area, compared with the existing MLG circuits. At the same time, the designed MLG is applied to OS-MLD, and the results show that the proposed MLG is effective for this coding application.

Key words: One-Step Majority Logic Decodable, memory, soft error, Majority Logic Gate

1 引言

半导体器件在工作过程中经常会与空间中的辐射粒子相接触,这些粒子会在电离作用下产生一定的电荷,而电荷在半导体器件敏感部位的不断积累将导致器件的逻辑状态发生变化进而影响器件的正常工作,通常这种现象称为单粒子翻转,或软错误(Soft Error)^[1]. 集成电路的发展导致器件的尺寸变得日益缩小,这使得临界电荷值不断降低从而导致

器件对单粒子翻转愈发敏感^[2]. 与此同时,航空航天系统规模的扩大、复杂度的提高,使得具有高集成度的器件在航空航天系统中的应用更加频繁. 例如,存储器如今已经广泛应用于各个领域,在航空航天系统领域,存储器发挥着重要作用. 然而,由于存储器电路结构的固有特性使得其对单粒子现象愈发敏感,一旦存储电路中某一节点受辐射影响而发生翻转,将会引起其它节点也发生翻转,从而严重影响器件的正常工作,并对航天系统造成致命威胁^[3-4]. 但

是,单粒子效应所引起的电位翻转是可逆的,在存储器中能够通过编译码方式进行探测和校正,从而将翻转节点恢复到正常电位。

因此,对存储器进行抗翻转加固设计技术已成为科研人员面临的一项重大技术难题。目前,人们主要采用错误纠错码(Error Correction Code,ECC)来对航天中用的存储器件进行抗辐射加固保护,其主要是利用 ECC 实现对翻转错误的探测和校正。一些 ECC 虽然能够实现错误的校正,但由于其需要复杂度极高的外围电路来实现编码和译码操作而逐渐被淘汰^[5]。

目前,一步大数逻辑可译码(One-Step Majority Logic Decodable, OS-MLD)作为一类高性能 ECC 受到了广泛的关注和研究,这主要是因为其使用了一步大数逻辑可译码电路。该电路具有相对简单和容易构造的特性^[6],其中大数逻辑门(Majority Logic Gate, MLG)主要是通过奇偶校验和来对错误位进行判别,进而实现对错误的纠正,因此在译码电路中起着至关重要的作用^[7]。

2 MLG 电路设计

2.1 现有 MLG 电路

传统 MLG 电路中逻辑门的个数随输入信号个数的增加而急剧增加,从而导致电路的硬件开销急剧增加。8 输入传统 MLG 需要 56 个 5 输入与门和 55 个两输入或门。

为了能够降低电路的冗余开销,可以使用文献[8]提出的排序网络(Sorting Network, SN)来构造 MLG 电路。在该电路中,SN 用来对任意输入数据进行从大到小排序,这一功能主要依靠逻辑与门和或门来实现。尽管这种电路结构与传统 MLG 相比能够在一定程度降低逻辑门的个数,例如:当输入信号个数为 8 时,该电路需要 23 个两输入与门和 22 个两输入或门,但其硬件开销仍旧较大。

文献[9]和[10]提出了基于 SN 的改进型 MLG 电路(改进-SN)。虽然该电路结构与基于 SN 的 MLG 结构相似,都是由 SN 和组合逻辑共同构成,但是区别在于 SN 的个数发生了变化,即在该设计中,将原本 SN 电路分为两个子电路,降低了每个 SN 电路的有效输入信号数,从而降低了整个 MLG 电路中的逻辑门数。

2.2 本文构造的新型 MLG 电路

尽管基于改进-SN 的 MLG 电路已经在一定程度上降低了电路的硬件开销,但其电路所需逻辑门的个

数仍然较多,从而导致需要更多数量的晶体管。为了在满足正确功能的同时尽可能将电路的硬件开销降到最低,本文提出了一种新型 CMOS MLG 电路。图 1 所示为该电路的结构框图,电路由上拉网络、下拉网络以及反相器构成,其中上拉网络输出逻辑 1、下拉网络输出逻辑 0,反相器将 1(0)翻转为 0(1)。

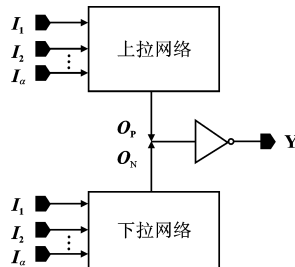


图 1 构造的 CMOS MLG 电路框图

该电路的设计思想如下:

(1) 当输入信号个数 α 为偶数,若想输出逻辑 1 电平,则输入信号中 1 的个数必须至少为 $(\alpha/2)+1$;若想输出逻辑 0,则输入信号中 0 的个数必须至少为 $\alpha/2$ 。这意味着至少有 $C_{\alpha}^{(\alpha/2)+1}$ ($C_{\alpha}^{\alpha/2}$) 种输入组合去生成大数逻辑值 1(0)。因此,上拉网络结构是 $C_{\alpha}^{\alpha/2}$ 个 $\alpha/2$ 输入“与”之和(“或”运算),下拉网络是 $C_{\alpha}^{(\alpha/2)+1}$ 个 $(\alpha/2)+1$ 输入“与”之和。

(2) 当 α 为奇数时,输入信号中 1(0) 的个数至少为 $(\alpha+1)/2$ 时,才输出 1(0)。这意味着至少有 $C_{\alpha}^{(\alpha+1)/2}$ 种输入组合去生成大数逻辑值 1(0)。因此,上/下拉网络结构均是 $C_{\alpha}^{(\alpha+1)/2}$ 个 $(\alpha+1)/2$ 输入“与”之和。

(3) 按照静态 CMOS 门的设计思想,上拉网络仅由 PMOS 晶体管构成,而下拉网络则仅由 NMOS 晶体管来构成。同时,将 MOS 管进行串联(并联)来实现逻辑与(或)运算。

(4) 布尔函数运算中,“+”号表示二进制或运算。

因此,假设输入信号为 $I_1, I_2, \dots, I_{\alpha}$,则上/下拉网络的输出为:

$$O = \sum_{1 \leq a_1 < a_2 < \dots < a_k \leq \alpha} I_{a_1} I_{a_2} \dots I_{a_k} \quad (1)$$

就上拉网络而言(此时 $O = O_P$),当 α 为偶数时, $k = C_{\alpha}^{\alpha/2}$;当 α 为奇数时, $k = C_{\alpha}^{(\alpha+1)/2}$;对于下拉网络(此时 $O = O_N$),当 α 为偶数时, $k = C_{\alpha}^{(\alpha/2)+1}$;当 α 为奇数时, $k = C_{\alpha}^{(\alpha+1)/2}$ 。在上/下拉网络中,对布尔函数运算进行化简从而减少电路中所用晶体管的个数,同时保证不会改变电路输出的大数逻辑值。

下面以 $\alpha = 5$ 和 $\alpha = 6$ 为例详细阐述本文构造的

MLG 电路结构及其工作原理. 当 $\alpha = 5$ 时, 假设输入的 5 个信号分别为 A, B, C, D, E , 则上 / 下拉网络中输入信号的组合方式均为:

$$O_P = O_N = ABC + ABD + ABE + ACD + ACE + BCD + BCE + ADE + BDE + CDE \quad (2)$$

将公式(2)化简如下:

$$O_P = O_N = AB(C + D + E) +$$

$$DE(A + B + C) +$$

$$C(A + B)(D + E) \quad (3)$$

其对应的 MLG 电路结构如图 2 所示. 从图中可看出, 当 $\alpha = 5$ 时, 本文设计的 MLG 电路仅需 32 个 MOS 管, 而传统的 MLG 电路共需要 23 个两输入门, 即 $23 \times 6(138)$ 个 MOS 管; 基于 SN 的 MLG 电路共需要 132 个 MOS 管; 基于改进-SN 的 MLG 电路共需要 72 个 MOS 管.

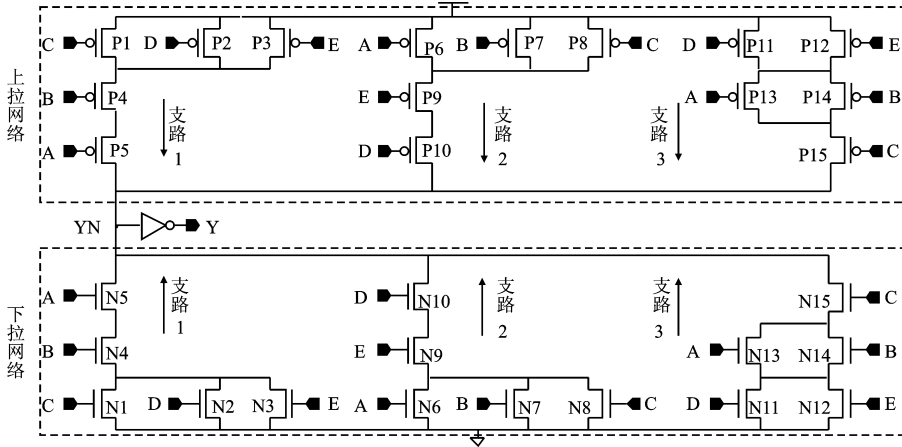


图2 本文构造的 5 输入 MLG 电路

当 $ABCDE = 00110$ 时, 上拉网络中 $P1, P2, P8, P10, P11, P15$ 晶体管被关断, 其余晶体管被开启, 下拉网络中 $N1, N2, N8, N10, N11, N15$ 晶体管被开启, 其余晶体管被关断, 因而从电源到 YN 节点的支路 1 被导通, 输出电压 Y 为 0. 同理分析, 当输入信号 A, B, C, D, E 为任意值时, 电路均能输出正确的大数逻辑值.

若 $\alpha = 6$ 时, 假设输入的 6 个信号分别为 A, B, C, D, E, F , 则上拉网络中输入信号的组合方式为:

$$O_P = ABC + ABD + ABE + ABF + BCD + BCE + DCF + BDE + BDF + CDE + CDF + DEF + ACD + ACE + ACF + ADE + ADF + AEF + BDF + CEF \quad (4)$$

将公式(4)化简如下:

$$O_P = (D + E + F)(A(B + C) + BC) + (A + B + C)(D(E + F) + EF) + ABC + DEF \quad (5)$$

下拉网络中输入信号的组合方式为:

$$O_N = ABCD + ABCE + ABCF + ABDE + ABDF + ABEF + ACDE + ACDF + ACEF + ADEF + BCDE + BCDF + BDEF + BCEF + CDEF \quad (6)$$

将其化简为:

$$O_N = (D(E + F) + EF)(A(B + C) + BC) + ABC(D + E + F) + DEF(A + B + C) \quad (7)$$

其对应的 6 输入 MLG 电路如图 3 所示. 从图中可看出, 当 $\alpha = 6$ 时, 本文设计的 MLG 电路仅需 46 个 MOS 管. 与 5 输入 MLG 原理分析一样, 当输入信号 A, B, C, D, E, F 为任意值时, 该电路均能输出正确的大数逻辑值.

综上所述, 与传统 MLG 和基于 SN MLG 相比, 本文构造的 MLG 电路硬件开销最小.

2.3 时序验证及硬件开销比较

利用 Cadence 软件(SMIC 0.18 μm 工艺库)对本文构造的 MLG 进行功能仿真并且分别提取这四种电路结构在不同输入时的功耗、面积和延时参数进行开销比较.

图 4 为本文构造的 5 输入 MLG 电路的仿真波形图. 可看出, 当输入信号 $ABCDE = 00000$ 时, 输出 $Y = 0$; 当 $ABCDE = 00110$ 时, $Y = 0$; 当 $ABCDE = 10011$ 时, $Y = 1$; 当 $ABCDE = 11111$ 时, $Y = 1$; 同理可验证, 当 $ABCDE$ 为其它情况时, Y 都能输出正确的大数值. 由此说明, 本文构造的 MLG 电路能够实现正确的大数逻辑功能.

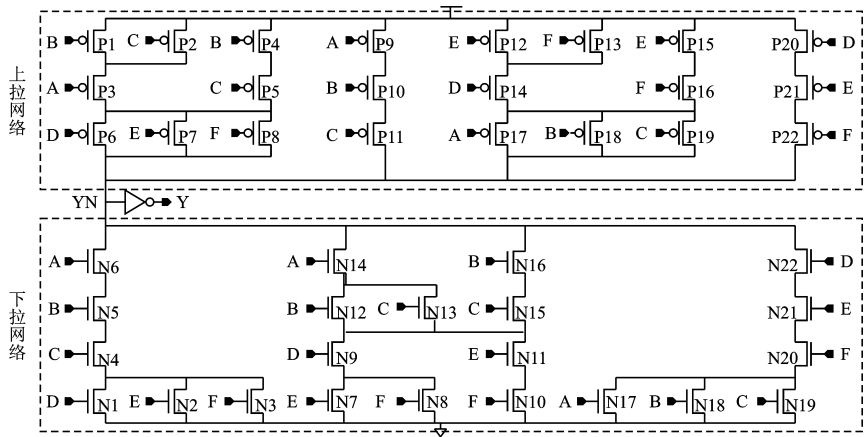


图 3 本文构造的 6 输入 MLG 电路

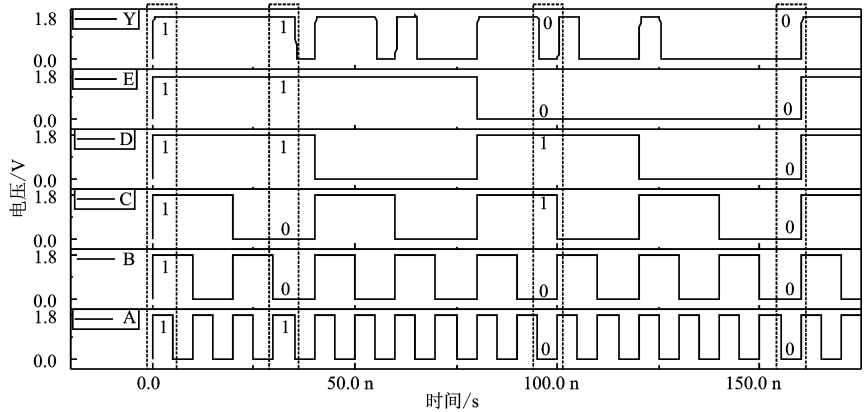
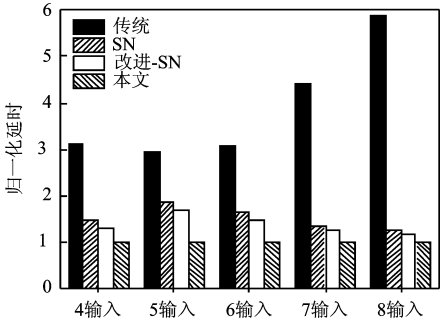
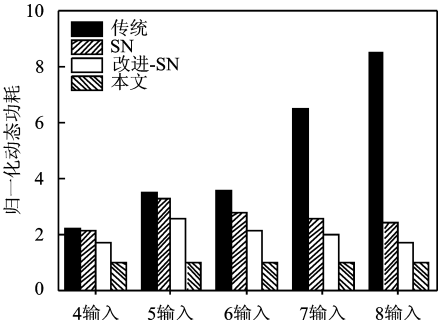


图 4 本文构造的 5 输入 MLG 电路的时序功能仿真

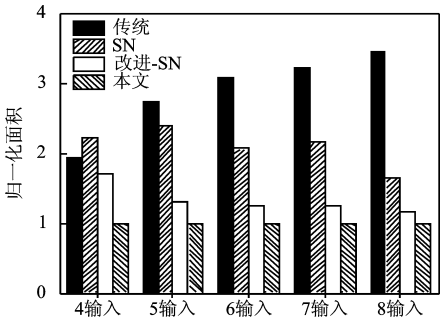
图 5 给出了不同输入及不同结构 MLG 电路的功耗、延时、面积的归一化比较结果。从图中可看出，本文构造的 MLG 电路在功耗、延时以及面积三方面均优于之前的设计。例如，当 $\alpha=8$ 时，本文构造的 MLG 电路的功耗是传统 MLG 的 11.7%、基于 SN 的 MLG 的 41.6%、基于改进-SN 的 MLG 的 58.6%；延时分别为其它三种电路结构的 17.0%、79.5%、86.9%；同时，面积分别为其它三种电路结构的 29.1%、60.5%、86.4%。



(b) 延时比较



(a) 动态功耗比较



(c) 面积比较

图 5 硬件开销归一化比较结果

3 MLG 在 OS-MLD 中的应用

如前所述,OS-MLD 由于其编译码电路简单而受到广泛关注,其可以通过简单的 ML 译码器来纠正多个位错误. OS-MLD 主要包括差集码(Difference Set Code,DS)、低密度奇偶校验码(Euclidean Geometry Low Density Parity Check Code,EG-LDPC)和正交拉丁方码(Orthogonal Latin Square,OLS). 尽管其具有出色的纠错能力,但对于存储数据的宽度有一定的限制,因为存储数据宽度一般为 2^n ,如:8,16,32 等^[11].

本文构造的 MLG 已设计为采用 SMIC0.18 μ m CMOS 工艺的数字标准单元. 使用的 EDA 工具包括 Cadence Spectre、Virtuoso、Synopsys Hspice、Calibre、Abstract、Design Compiler(DC)、Encounter 和 Nanosim Simulator.

表 1 给出了针对 MLG 不同输入个数的 OS-MLD 码的一些相关参数. 对于 DS 码,可以缩短(21,11)码字以保护 8 位存储数据. 对于 EG-LDPC 码,可以缩短(63,37)码字以保护 32 位数据宽度. 对于 OLS 码,可以缩短(55,25)码字以保护 16 位数据宽度同时确保 MLG 电路输入信号个数为 7.

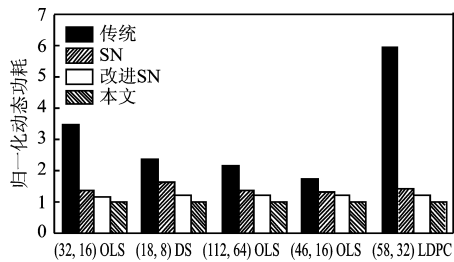
表 1 使用的 OS-MLD 码

OS-MLD	码字	奇偶校验位	纠错能力	MLG 输入个数
DS	(21,11)	10	2	5
EG-LDPC	(63,37)	26	4	8
	(32,16)	16	2	4
OLS	(55,25)	30	3	7
	(112,64)	48	3	6

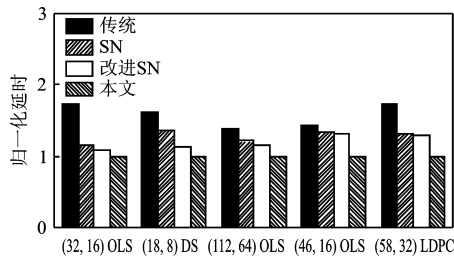
图 6 给出了使用不同 MLG 结构时的 OS-MLD 码功耗、延时和面积归一化比较结果. 从图中可看出,当 OS-MLD 码使用本文构造的 MLG 时,其电路功耗、延时和面积将更小.

4 结束语

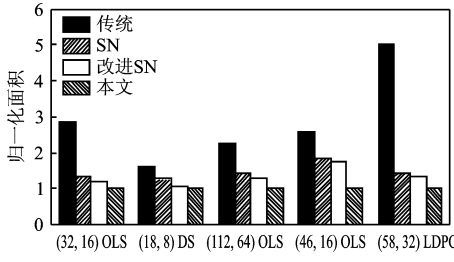
本文构造的新型 CMOS MLG 电路结构由 P 型 MOS 管构成的上拉网络和 N 型 MOS 管构成的下拉网络及一个反相器构成,其通过对输入信号进行特定的组合可以实现正确的大数逻辑功能. 时序仿真及其应用比较结果表明,与以往 MLG 电路相比,该新型 CMOS MLG 电路具有更小的硬件开销.



(a) 功耗归一化结果



(b) 延时归一化结果



(c) 面积归一化结果

图 6 使用不同 MLG 电路时的 OS-MLD 码硬件开销比较结果

参考文献:

[1] QI C H. Research on CMOS storage cell circuits design for single event upset tolerance[D]. Harbin: Harbin Institute of Technology, 2018.

[2] LIU S S. Research on hardened design for memories against seu based on error correction codes[D]. Harbin: Harbin Institute of Technology, 2017.

[3] DONG L. Design of radiation hardened error detection and correction circuit based on OLS code[J]. Application of Electronic Technique, 2016, 42(10): 44-46. DOI: 10.16157/j. issn. 0258-7998. 2016. 10. 010.

[4] LI J Q. Design of hardened memory against mbu based on orthogonal latin square codes[D]. Harbin: Harbin Institute of Technology, 2014.

[5] NAMBA K, LOMBARDI F. A single and adjacent symbol error-correcting parallel decoder for Reed-Solomon codes[J]. IEEE Transactions on Device and Materials Reliability, 2015, 15(1): 75-81. DOI: 10.

- 1109/TDMR, 2014, 2379513.
- [6] LIU S F, REVIRIEGO P, MAESTRO J A. Efficient majority logic fault detection with difference-set codes for memory applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 20 (1): 148-156. DOI: 10. 1109/TVLSI. 2010. 2091432.
- [7] LIN S, COSTELLO JR D J. Error control coding [M]. 2nd ed. YAN J, HE Y Z, PAN Y H, trans. Beijing: China Machine Press, 2007: 57-209.
- [8] CORMEN T H, LEISERSON C E, RIVEST R L, et al. Introduction to algorithms[M]. 2nd ed. PAN J G, GU T C, LI C F, et al., trans. Beijing: China Machine Press, 2006: 433-442.
- [9] NAEIMI H, DEHON A. Fault secure encoder and decoder for NanoMemory applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2009, 17(4): 473-486. DOI: 10. 1109/TVLSI. 2008. 2009217.
- [10] SUN Y, GUO J, ZHU L. Design of majority logic gate circuitry based on sorting networks[J]. Microelectronics & Computer, 2016, 33(6): 123-125. DOI: 10. 19304/j. cnki. issn1000-7180. 2016. 06. 028.
- [11] LIN S, COSTELLO JR D J. Error control coding: fundamentals and applications [M]. 2nd ed. Englewood Cliffs, NJ, USA: Prentice Hall, 2004.

作者简介:

张楠女, (1995-), 硕士研究生. 研究方向为集成电路测试.

王艳女, (1993-), 硕士研究生. 研究方向为集成电路测试.

郭靖(通信作者)男, (1986-), 博士, 副教授, 硕士生导师. 研究方向为集成电路加固设计.

E-mail: guojing19861229@163.com